

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-132835
(43)Date of publication of application : 12. 05. 2000

(51)Int. Cl.

G11B 7/0045

(21)Application number : 10-302291
(22)Date of filing : 23. 10. 1998

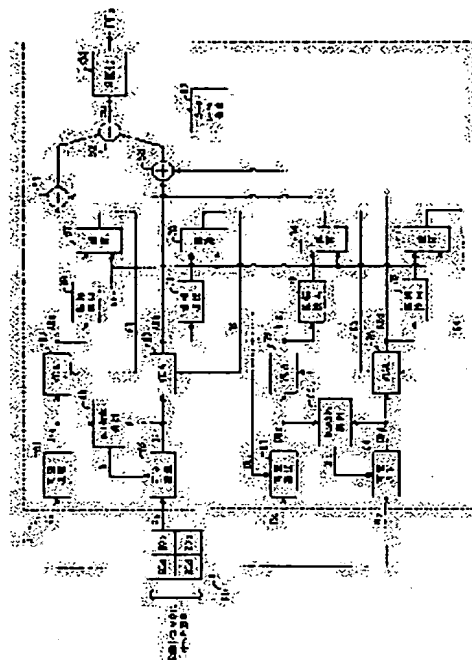
(71)Applicant : PIONEER ELECTRONIC CORP
(72)Inventor : YOSHIDA MASAYOSHI
SHIMODA YOSHITAKA
YANAGAWA NAOHARU
NAGAHARA SHINICHI

(54) DISK PLAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To permit the correct detection of prepit even though respective phases or amplitude levels of plural reading signals are deviated each other by obtaining a 1st phase correction reading signal in the manner of correcting the phase of a 1st reading signal by the amount corresponding to the phase difference, and outputting the different value between this 1st phase correction reading signal and a 2nd reading signal as a prepit detecting signal.

SOLUTION: By a specified phase correction control, the phases of the reading signals Ra-Rd supplied from each of photoelectric conversion elements 20a-20d of a quadripartite photodetector 20 are put in order, and a margin at the binarization process in a binarization circuit 54 is enlarged, then the prepit level detecting signal PPD is satisfactorily obtained. Also, amplitude levels of the respective reading signals Ra-Rd are made to coincide by variable gain amplifiers 65, 69, 73, 76 to reduce the amplitude level differences of each reading signal. By the phase correction and the amplitude level adjustment, the prepit level is satisfactorily detected based on these reading signals even though the phases and amplitude levels of the respective plural reading signals are not put in order each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

p.1-2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132835

(P 2 0 0 0 - 1 3 2 8 3 5 A)

(43) 公開日 平成12年5月12日(2000.5.12)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

G11B 7/0045

G11B 7/00

631

D 5D090

審査請求 未請求 請求項の数 7 O L (全15頁)

(21) 出願番号

特願平10-302291

(22) 出願日

平成10年10月23日(1998.10.23)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 吉田 昌義

埼玉県所沢市花園4丁目2610番地バイオニア株式会社所沢工場内

(72) 発明者 下田 吉隆

埼玉県所沢市花園4丁目2610番地バイオニア株式会社所沢工場内

(74) 代理人 100079119

弁理士 藤村 元彦

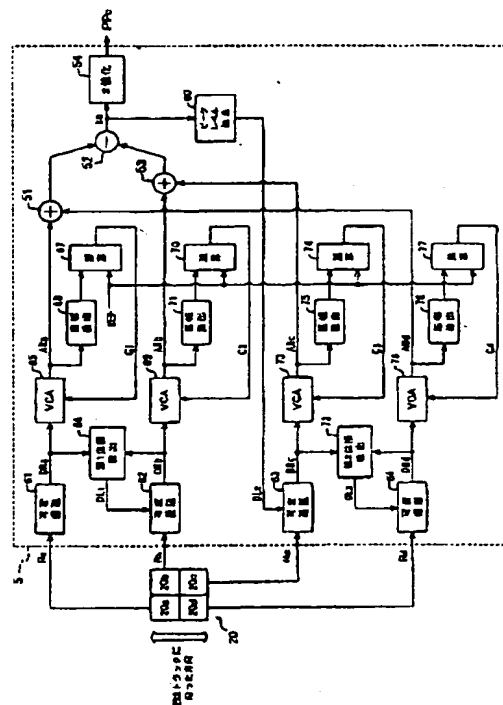
最終頁に続く

(54) 【発明の名称】 ディスクプレーヤ

(57) 【要約】

【課題】 記録ディスクから読み取られた複数の読取信号各々の位相又は振幅レベルが互いにズレていても、正しくプリビットを検出することが出来るプリビット検出回路を備えたディスクプレーヤを提供することを目的とする。

【解決手段】 記録ディスクの記録トラックの方向に沿って2分割した領域各々に配された第1及び第2読取素子各々によって読み取られた第1読取信号と第2読取信号との位相差を検出し、この位相差に応じた分だけ上記第1読取信号の位相を調整して第1位相補正読取信号を求め、この第1位相補正読取信号と上記第2読取信号との差分値をプリビット検出信号として出力する。



(2)

特開2000-132835

2

【特許請求の範囲】

【請求項1】 記録ディスクから記録情報の読み取りを行って読取信号を得る読取手段と、前記読取信号に基づいて前記記録ディスクに予め形成されているブリビットを検出してブリビット検出信号を出力するブリビット検出回路と、を備えたディスクプレーヤであって、前記読取手段は、前記記録ディスクの記録トラックの方向に沿って2分割した領域各々に配された第1及び第2読取素子を含み、

前記ブリビット検出回路は、

前記第1読取素子によって読み取られた第1読取信号と前記第2読取素子によって読み取られた第2読取信号との位相差を検出する位相検出手段と、

前記位相差に応じた分だけ前記第1読取信号の位相を補正して第1位相補正読取信号を得る位相補正手段と、前記第1位相補正読取信号と前記第2読取信号との差分値を前記ブリビット検出信号として出力する減算器と、からなることを特徴とするディスクプレーヤ。

【請求項2】 前記第1位相補正読取信号と前記第2読取信号との振幅レベル差が小さくなるように前記第1位相補正読取信号及び前記第2読取信号各々の振幅レベルを調整するレベル調整手段を備えたことを特徴とする請求項1記載のディスクプレーヤ。

【請求項3】 記録ディスクから記録情報の読み取りを行って読取信号を得る読取手段と、前記読取信号に基づいて前記記録ディスクに予め形成されているブリビットを検出してブリビット検出信号を出力するブリビット検出回路と、を備えたディスクプレーヤであって、前記読取手段は、前記記録ディスクの記録トラックの方向に沿って2分割した領域各々に配された第1及び第2読取素子を含み、

前記ブリビット検出回路は、

前記第1読取素子によって読み取られた第1読取信号を所定時間だけ遅延させて第1遅延読取信号を得る第1遅延回路と、

前記第2読取素子によって読み取られた第2読取信号を遅延時間信号に応じた時間だけ遅延させて第2遅延読取信号を得る第2遅延回路と、

前記第1遅延読取信号と前記第2遅延読取信号との位相差を検出して前記位相差に応じた信号を前記遅延時間信号として出力する位相検出回路と、

前記第1遅延読取信号と前記第2遅延読取信号との差分値を前記ブリビット検出信号として出力する減算器と、からなることを特徴とするディスクプレーヤ。

【請求項4】 前記第1遅延読取信号の振幅レベルを検出して第1振幅レベル信号を得る第1振幅検出回路と、前記第1振幅レベル信号と基準振幅レベルとの差分を第1振幅誤差信号として得る第1減算器と、

前記第1振幅誤差信号に応じた利得にて前記第1遅延読取信号の振幅を増幅する第1アンプと、

前記第2遅延読取信号の振幅レベルを検出して第2振幅レベル信号を得る第2振幅検出回路と、

前記第2振幅レベル信号と前記基準振幅レベルとの差分を第2振幅誤差信号として得る第2減算器と、

前記第2振幅誤差信号に応じた利得にて前記第2遅延読取信号の振幅を増幅する第2アンプと、を備えたことを特徴とする請求項3記載のディスクプレーヤ。

【請求項5】 記録ディスクから記録情報の読み取りを行って読取信号を得る読取手段と、前記読取信号に基づいて前記記録ディスクに予め形成されているブリビットを検出してブリビット検出信号を出力するブリビット検出回路と、を備えたディスクプレーヤであって、

前記読取手段は、前記記録ディスクの記録トラックの方向に沿って2分割し更に前記記録トラックの方向に直交する方向に沿って2分割して得られた4つの領域各々に配された第1～第4読取素子を含み、

前記ブリビット検出回路は、

前記第1読取素子によって読み取られた第1読取信号を所定時間だけ遅延させて第1遅延読取信号を得る第1遅延回路と、

前記第2読取素子によって読み取られた第2読取信号を第1遅延時間信号に応じた時間だけ遅延させて第2遅延読取信号を得る第2遅延回路と、

前記第3読取素子によって読み取られた第3読取信号を第2遅延時間信号に応じた時間だけ遅延させて第3遅延読取信号を得る第3遅延回路と、

前記第4読取素子によって読み取られた第4読取信号を第3遅延時間信号に応じた時間だけ遅延させて第4遅延読取信号を得る第4遅延回路と、

前記第1遅延読取信号と前記第2遅延読取信号との位相差を検出してこの位相差に応じた信号を前記第1遅延時間信号として出力する第1位相検出回路と、

前記第3遅延読取信号と前記第4遅延読取信号との位相差を検出してこの位相差に応じた信号を前記第3遅延時間信号として出力する第2位相検出回路と、

前記第1遅延読取信号と前記第4遅延読取信号とを加算して第1加算読取信号を得る第1加算器と、

前記第2遅延読取信号と前記第3遅延読取信号とを加算して第2加算読取信号を得る第2加算器と、

前記第1加算読取信号と前記第2加算読取信号との差分値を前記ブリビット検出信号として出力する減算器と、

前記差分値のピークレベルを検出しこのピークレベルに対応した信号を前記第2遅延時間信号として出力するピークレベル検出回路と、からなることを特徴とするディスクプレーヤ。

【請求項6】 前記第1遅延読取信号の振幅レベルを検出して第1振幅レベル信号を得る第1振幅検出回路と、前記第1振幅レベル信号と基準振幅レベルとの差分を第1振幅誤差信号として得る第1減算器と、

前記第1振幅誤差信号に応じた利得にて前記第1遅延読

(3)

特開2000-132835

3

4

取信号の振幅を増幅する第1アンプと、
前記第2遅延読取信号の振幅レベルを検出して第2振幅
レベル信号を得る第2振幅検出回路と、
前記第2振幅レベル信号と前記基準振幅レベルとの差分
を第2振幅誤差信号として得る第2減算器と、
前記第2振幅誤差信号に応じた利得にて前記第2遅延読
取信号の振幅を増幅する第2アンプと、
前記第3遅延読取信号の振幅レベルを検出して第3振幅
レベル信号を得る第3振幅検出回路と、
前記第3振幅レベル信号と基準振幅レベルとの差分を第
3振幅誤差信号として得る第3減算器と、
前記第3振幅誤差信号に応じた利得にて前記第3遅延読
取信号の振幅を増幅する第3アンプと、
前記第4遅延読取信号の振幅レベルを検出して第4振幅
レベル信号を得る第4振幅検出回路と、
前記第4振幅レベル信号と前記基準振幅レベルとの差分
を第4振幅誤差信号として得る第4減算器と、
前記第4振幅誤差信号に応じた利得にて前記第4遅延読
取信号の振幅を増幅する第4アンプと、を備えたことを
特徴とする請求項5記載のディスクプレーヤ。

【請求項7】 記録ディスクから記録情報の読み取りを
行って読取信号を得る読取手段と、前記読取信号に基
いて前記記録ディスクに予め形成されているプリビット
を検出してプリビット検出信号を出力するプリビット検
出回路と、を備えたディスクプレーヤであって、
前記読取手段は、前記記録ディスクの記録トラックの方
向に沿って2分割した領域各々に配された第1及び第2
読取素子を含み、
前記プリビット検出回路は、

前記第1読取素子によって読み取られた第1読取信号と
前記第2読取素子によって読み取られた第2読取信号と
の振幅レベル差が小さくなるように前記第1読取信号及
び前記第2読取信号各々の振幅レベルを調整して第1振
幅調整読取信号及び第2振幅調整読取信号各々を得るレ
ベル調整手段と、
前記第1振幅調整読取信号と前記第2振幅調整読取信号
との差分値を前記プリビット検出信号として出力する減
算器と、からなることを特徴とするディスクプレーヤ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録ディスクに対
して情報記録及び再生を為すディスクプレーヤに関す
る。

【0002】

【背景技術】現在、追記形のDVD(Digital Versatile
Disc)としてDVD-R、書換え自在なDVDとしてD
VD-R/W(又は、DVD-RAM)が製品化されて
いる。図1は、これらDVD-R又はDVD-R/Wの
如き、ユーザ側において情報データの記録が可能なDV
Dの記録面を示す図である。

【0003】図1に示されるように、かかるDVDの記
録面には、螺旋状もしくは同心円状に記録トラックを担
うグループGV、及びランドLDが交互に形成されてい
る。この際、グループGV上には情報データ(音声デー
タ、映像データ、及びコンピュータデータ)を担うピッ
ト列が形成されることになる。一方、ランドLD上には
断続的にランドプリビットLPPが予め(情報データの
書き込み前から)形成されている。ランドプリビットL
PPは、情報記録を実施する際にディスク上の位置を認
識する為のアドレス情報、並びに位相制御を担うピッ
トである。

【0004】ここで、かかるDVD-R又はDVD-R
/W(以下、単に記録ディスクと称する)に対して情報
データの記録を行うには、記録ディスクから記録情報の
読み取りを行って上記ランドプリビットLPPを検出し
て、その記録時の位置を認識する必要がある。従って、
かかる記録ディスクに対して情報データの記録及び再生
を行うDVDプレーヤにおいては、記録ディスクから読
み取られた読取信号に基づいてランドプリビットLPP
の検出を行うプリビット検出回路が設けられている。

【0005】図2は、かかるプリビット検出回路の構成
を示す図である。図2において、4分割光検出器20
は、図示せぬ読取ビーム光発生器から記録ディスクの記
録面に向けて照射された情報読取スポットによる反射光
を受光しこれを電気信号に変換したものを読取信号Ra
~Rdとして出力する4つの独立した光電変換素子20
a~20dから構成されている。この際、これら光電変
換素子20a~20dは、記録ディスクの記録トラック
(グループGV)に沿った方向と、記録トラックに直交
する方向とによってその受光面を4分割して配されてい
る。

【0006】プリビット検出回路50における加算器5
1は、光電変換素子20b及び20c各々からの読取信
号RbとRcとを加算して加算読取信号(Rb+Rc)
を求め、これを減算器52に供給する。加算器53は、
光電変換素子20a及び20d各々からの読取信号Ra
とRdとを加算して加算読取信号(Ra+Rd)を求
め、これを減算器52に供給する。減算器52は、上記
加算読取信号(Ra+Rd)から加算読取信号(Rb+
Rc)を減算した値を差分値SBとして求めこれを2値
化回路54に供給する。2値化回路54は、かかる差分
値SBを所定の閾値にて2値化し、これを上記プリビッ
ト検出信号PPとして出力する。

【0007】図3(a)は、図3(b)に示されるが如
き状態で、情報読取スポットSPが記録ディスク上に形
成されているランドプリビットLPPをトレースした際
に得られる読取信号Ra~Rdと、上記プリビット検出
回路50の内部動作を示す図である。この際、プリビッ
ト検出回路50、図3(a)に示されるが如き読取信号
Ra~Rdが供給されると、減算器52は、ランドプリ

(4)

特開2000-132835

5

ビットLPPのトレース期間中だけそのレベルが高くなる差分値SBを出力する。2値化回路54は、この差分値SBを図に示されるが如き閾値 S_L にて2値化することにより、上記ランドプリビットLPPのトレース期間中だけ論理レベル"1"となるプリビット検出信号PPを出力する。

【0008】すなわち、図2に示されるが如き構成を採用することにより、プリビット検出回路50は、読取信号Ra~Rdに基づき、ランドプリビットLPPの検出を行うのである。しかしながら、図2に示されるが如き構成では、読取信号Ra~Rd各々の位相及び振幅レベルが揃っていないと、正しくプリビットの検出を行うことが出来ない。

【0009】例えば、図4に示されるように、読取信号Ra~Rdの内、読取信号Raのみに位相進み Δt が生じてしまうと、これら読取信号Ra~Rdに基づく差分値SBは、ランドプリビットLPPをトレースしていない期間においてもレベル上昇が生じてしまう。よって、これを閾値 S_L にて2値化すると、図4に示されるように、ランドプリビットLPPをトレースしていない期間中でも誤って論理レベル"1"のプリビット検出信号PPを出力してしまうのである。

【0010】これは、図5に示されるように、読取信号Ra~Rdの内、例えば読取信号Raの振幅が他の読取信号に比して低くなってしまった場合にも同様である。

【0011】

【発明が解決しようとする課題】本発明は、上述した点に鑑みなされたものであり、例え、記録ディスクから読み取られた複数の読取信号各々の位相又は振幅レベルが互いにズレていても、正しくプリビットを検出することが出来るプリビット検出回路を備えたディスクプレーヤを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によるディスクプレーヤは、記録ディスクから記録情報の読み取りを行って読取信号を得る読取手段と、前記読取信号に基づいて前記記録ディスクに予め形成されているプリビットを検出してプリビット検出信号を出力するプリビット検出回路と、を備えたディスクプレーヤであって、前記読取手段は、前記記録ディスクの記録トラックの方向に沿って2分割した領域各々に配された第1及び第2読取素子を含み、前記プリビット検出回路は、前記第1読取素子によって読み取られた第1読取信号と前記第2読取素子によって読み取られた第2読取信号との位相差を検出する位相検出手段と、前記位相差に応じた分だけ前記第1読取信号の位相を補正して第1位相補正読取信号を得る位相補正手段と、前記第1位相補正読取信号と前記第2読取信号との差分値を前記プリビット検出信号として出力する減算器とからなる。

【0013】

6

【発明の実施の形態】以下、本発明の実施例を図に基づいて詳細に説明する。図6は、本発明によるディスクプレーヤの構成を示す図である。図6において、DVD-R/W(又はDVD-RAM)、又はDVD-Rの如き書き込み可能な記録ディスク1は、スピンドルモータ11によって回転駆動される。

【0014】記録再生ヘッド2には、その再生動作時には、スピンドルモータ11によって回転駆動される記録ディスク1の記録面上に読取ビーム光を照射して情報読取スポットを形成させる読取ビーム光発生器(図示せぬ)と、かかる読取ビーム光の照射による反射光を受光してこれを電気信号に変換する4分割光検出器20が搭載されている。尚、4分割光検出器20は、図2に示されるように、記録ディスク1の記録トラック(グループGV)に沿った方向と、記録トラックに直交する方向各々によって受光面を4分割して配された4個の光電変換素子20a~20dから構成される。これら光電変換素子20a~20dは、上記情報読取スポットによる反射光を受光し、これを電気信号に変換したものを夫々読取信号Ra~Rdとして出力する。又、記録再生ヘッド2には、上記情報読取スポットの形成位置をディスク半径方向に偏倚せしめるトラッキングアクチュエータ(図示せず)、及び上記情報読取スポットの焦点位置を調整するフォーカシングアクチュエータ(図示せず)が搭載されている。

【0015】更に、記録再生ヘッド2には、ディスクプレーヤの記録動作時において、後述する記録処理回路7から供給された記録データ信号WDに応じた書込ビーム光を記録ディスク1上の記録トラックに照射して記録ビット列を形成せしめる書込ビーム光発生器(図示せぬ)が搭載されている。ヘッドアンプ3は、上記記録再生ヘッド2から供給された読取信号Ra~Rdの総和を求め、これを所望に増幅して得た信号を情報読取信号RFとし、これを情報データ再生回路30に供給する。情報データ再生回路30は、かかる情報読取信号RFを2値化した後、復調及び誤り訂正処理を施すことにより、記録ディスク1に記録されていたデータを復元する。更に、情報データ再生回路30は、このデータに対して情報(映像、音声、コンピュータデータ)復号処理を施すことにより、情報データの再生を行いこれを再生情報データとして出力する。サーボエラー生成回路4は、記録再生ヘッド2から供給された上記読取信号Ra~Rdに基づき、フォーカスエラー信号FE、及びトラッキングエラー信号TEを各々生成し、これらをサーボ制御回路6に供給する。サーボ制御回路6は、上記フォーカスエラー信号FEに基づき、フォーカシング駆動信号を発生し、これをドライバ9を介して記録再生ヘッド2に供給する。これにより、記録再生ヘッド2に搭載されているフォーカシングアクチュエータは、上記フォーカシング駆動信号FDに応じて上記情報読取スポットの焦点位置

(5)

特開2000-132835

7

8

を調整する。又、サーボ制御回路6は、上記トラッキングエラー信号TEに基づいてトラッキング駆動信号を発生し、これをドライバ9を介して記録再生ヘッド2に供給する。これにより、記録再生ヘッド2に搭載されているトラッキングアクチュエータは、上記トラッキング駆動信号による駆動電流に応じた分だけ、上記情報読取スポットの形成位置をディスク半径方向に偏倚させる。更に、サーボ制御回路6は、上記トラッキングエラー信号TEに基づいてスライダ駆動信号を発生し、これをドライバ8を介してスライダ100に供給する。これにより、スライダ100は、かかるスライダ駆動信号による駆動電流に応じた速度で記録再生ヘッド2をディスク半径方向に移送せしめる。

【0016】ブリビット検出回路5は、記録再生ヘッド2から供給された上記読取信号Ra~Rdに基づいて、図2に示されるが如きランドブリビットLPPを検出してブリビット検出信号PP₀を発生し、これを記録処理回路7に供給する。記録処理回路7は、記録対象となる記録用情報データに対して所望の記録変調処理を施して上記記録データ信号WDを生成し、これを上記記録再生ヘッド2に供給する。更に、記録処理回路7は、上記ブリビット検出信号PP₀に基づいて、記録再生ヘッド2の現在の記録位置（記録ディスク1の記録面上の）を認識し、この記録位置から所望の記録位置へと記録再生ヘッド2をトラックジャンプせしめるべき制御信号をサーボ制御回路6に供給する。

【0017】図7は、本発明によるブリビット検出回路5の内部構成を示す図である。図7において、記録再生ヘッド2に搭載されている4分割光検出器20から出力された読取信号Ra~Rd各々は、ブリビット検出回路5の可変遅延回路61~64の各々に供給される。可変遅延回路61は、4分割光検出器20の光電変換素子20aから供給された読取信号Raを所定時間だけ遅延させた信号を遅延読取信号DRaとして可変利得アンプ65、及び第1位相検出回路66の各々に供給する。尚、上記所定時間とは、読取信号Raが他の読取信号Rb~Rdに対して進み位相となった場合に想定される最大の位相ズレ量に対応した時間である。この可変遅延回路61の遅延設定は、例えば、ディスクプレーヤの製品出荷時において予め実施される。

【0018】可変利得アンプ65は、後述する減算器67から供給された振幅誤差値G1に応じた利得にて上記遅延読取信号DRaを増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号ARaとして加算器51及び振幅検出回路68の各々に供給する。振幅検出回路68は、振幅調整読取信号ARaにおける極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル（振幅調整読取信号ARaの振幅レベル）を減算器67に供給する。減算器67は、かかる振幅レベルから所定の基準値REFを減算することにより、上記基

準値REFに対する振幅誤差を求めこれを上記振幅誤差値G1として上記可変利得アンプ65に供給する。

【0019】すなわち、可変利得アンプ65は、振幅調整読取信号ARaの振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DRaに対して振幅レベルの調整を行うのである。可変遅延回路62は、4分割光検出器20の光電変換素子20bから供給された読取信号Rbを、第1位相検出回路66から供給された遅延時間信号DL₁に応じた時間だけ遅延させた信号を遅延読取信号DRbとして可変利得アンプ69、及び第1位相検出回路66の各々に供給する。

【0020】第1位相検出回路66は、上記遅延読取信号DRa及びDRb各々の位相差に対応した信号を上記遅延時間信号DL₁として出力する。これにより、可変遅延回路62は、上記遅延時間信号DL₁に応じた時間だけ読取信号Rbを遅延させることにより、上記遅延読取信号DRa及びDRb間に生じた位相ズレを補正する位相補正手段として動作するのである。

【0021】可変利得アンプ69は、後述する減算器70から供給された振幅誤差値G2に応じた利得にて上記遅延読取信号DRbを増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号ARbとして加算器53及び振幅検出回路71の各々に供給する。振幅検出回路71は、振幅調整読取信号ARbにおける極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル（振幅調整読取信号ARbの振幅レベル）を減算器70に供給する。減算器70は、かかる振幅レベルから所定の基準値REFを減算することにより、上記基準値REFに対する振幅誤差を求めこれを上記振幅誤差値G2として上記可変利得アンプ69に供給する。

【0022】すなわち、可変利得アンプ69は、振幅調整読取信号ARbの振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DRbに対して振幅レベルの調整を行うのである。可変遅延回路63は、4分割光検出器20の光電変換素子20cから供給された読取信号Rcを、後述するピークレベル検出回路80から供給された遅延時間信号DL₁に応じた時間だけ遅延させた信号を遅延読取信号DRcとして可変利得アンプ73、及び第2位相検出回路72の各々に供給する。

【0023】可変利得アンプ73は、後述する減算器74から供給された振幅誤差値G3に応じた利得にて上記遅延読取信号DRcを増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号ARcとして加算器53及び振幅検出回路75の各々に供給する。振幅検出回路75は、振幅調整読取信号ARcにおける極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル（振幅調整読取信号ARcの振幅レベル）を減算器74に供給する。減算器74は、かかる振幅レベルから所定の基準値REFを減算することにより、上記基

(6)

特開2000-132835

9

10

準値REFに対する振幅誤差を求めこれを上記振幅誤差値G3として上記可変利得アンプ73に供給する。

【0024】すなわち、可変利得アンプ73は、振幅調整読取信号ARcの振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DRcに対して振幅レベルの調整を行うのである。可変遅延回路64は、4分割光検出器20の光電変換素子20dから供給された読取信号Rdを、第2位相検出回路72から供給された遅延時間信号DL_iに応じた時間だけ遅延させた信号を遅延読取信号DRdとして可変利得アンプ76、及び第2位相検出回路72の各々に供給する。

【0025】第2位相検出回路72は、上記遅延読取信号DRc及びDRd各々の位相差を両者の信号レベルの差に基づいて検出し、その検出した位相差に対応した信号を上記遅延時間信号DL_iとして出力する。すなわち、可変遅延回路64は、上記遅延時間信号DL_iに応じた時間だけ読取信号Rdを遅延させることにより、上記遅延読取信号DRc及びDRd間に生じた位相ズレを補正する位相補正手段として動作するのである。

【0026】可変利得アンプ76は、後述する減算器77から供給された振幅誤差値G4に応じた利得にて上記遅延読取信号DRdを増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号ARdとして加算器51及び振幅検出回路78の各々に供給する。振幅検出回路78は、振幅調整読取信号ARdにおける極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル（振幅調整読取信号ARdの振幅レベル）を減算器77に供給する。減算器77は、かかる振幅レベルから所定の基準値REFを減算することにより、上記基準値REFに対する振幅誤差を求めこれを上記振幅誤差値G4として上記可変利得アンプ76に供給する。

【0027】すなわち、可変利得アンプ76は、振幅調整読取信号ARdの振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DRdに対して振幅レベルの調整を行うのである。加算器51は、上記振幅調整読取信号ARaとARdとの加算を行って得られた加算信号（ARa+ARd）を減算器52に供給する。加算器53は、上記振幅調整読取信号ARbとARcとの加算を行って得られた加算信号（ARb+ARc）を減算器52に供給する。減算器52は、上記加算信号（ARa+ARd）と加算信号（ARb+ARc）との差分を求めこれを差分値SBとして2値化回路54及びピークレベル検出回路80の各々に供給する。

【0028】ピークレベル検出回路80は、差分値SB中における極大値をプリビット信号成分に対応したものと検出し、その極大値に対応した遅延時間信号DL_iを上記可変遅延回路63に供給する。これにより、可変遅延回路63は、上記差分値SB中におけるプリビット信号成分の信号レベルが最も大きくなるように、上記遅延時間信号DL_iに応じた時間だけ読取信号Rcを遅延

させるのである。2値化回路54は、上記差分値SBを所定の閾値にて2値化し、これを上記プリビット検出信号PPとして出力する。

【0029】以下に、かかる図7に示されるプリビット検出回路5の動作について説明する。まず、可変遅延回路61及び62通過後の遅延読取信号DRa及びDRbの位相差を第1位相検出回路66によって検出し、その位相差が0°に向かって減少するように可変遅延回路62の遅延量を調整する。ここで、減算器52から出力された差分値SBのピーク値（すなわち、プリビット信号成分に対応した信号レベル）が最大となるように、可変遅延回路63の遅延量を調整する。この調整により、基準となるDRaと、DRcの位相関係が図3に示すような所定の関係に近づくように調整される。又、可変遅延回路63及び64通過後の遅延読取信号DRc及びDRdの位相差を第2位相検出回路72によって検出し、その位相差が0°に向かって減少するように可変遅延回路64の遅延量を調整する。

【0030】以上の如き位相補正制御により、4分割光検出器20の光電変換素子20a~20d各々から供給された読取信号Ra~Rdの位相が揃うことになる。これらにより、2値化回路54での2値化処理の際のマージンが大となり、良好にプリビットレベル検出信号PPを得ることが出来るようになる。更に、可変利得アンプ65、69、73、及び76により、読取信号Ra~Rd各々の振幅レベル合わせを行う。すなわち、振幅検出回路68、71、75、及び78によって読取信号Ra~Rd各々の振幅レベルを検出し、夫々の振幅レベルが基準値REFと等しくなるように、可変利得アンプ65、69、73、及び76各々で振幅レベル調整を行って、各読取信号の振幅レベル差を小にするのである。

【0031】上述した如き位相補正及び振幅レベル調整によれば、例えば、光電変換素子20a~20d各々から供給された複数の読取信号Ra~Rd各々の位相及び振幅レベルが互いに揃っていなくとも、これら読取信号に基づき、良好にプリビットレベルを検出することが出来るようになるのである。尚、上記実施例においては、可変遅延回路61の遅延量を固定することにより読取信号Raの位相を基準とし、その他の読取信号Rb~Rdの位相をこれに合わせ込む場合の構成例を示したが、位相基準とすべき読取信号は読取信号Rb~Rdのいずれであっても構わない。

【0032】又、上記実施例においては、その位相補正を行うべく、第1位相検出回路66、第2位相検出回路72を用いるようにしたが、これらを用いずに実施することも可能である。例えば、減算器52から出力された上記差分値SBを整流して上側波検波した後、その信号を積分し、この積分した値が最小となるように可変遅延回路62及び64の遅延量を調整するのである。この際、積分した値が最小になるということは、差分値SB

(7)

特開2000-132835

11

12

に重畳しているノイズ成分が最小となることである。尚、具体的動作の一例としては、積分値が小さくなるように可変遅延回路62のみを調整し、その後、今度は可変遅延回路64を調整して更に積分値が小さくなるように調整するようにしても良い。

【0033】又、上述した如き可変遅延回路62~64に対する遅延量の制御、並びに、可変利得アンプ65、69、73、及び76に対する利得制御は、ディスクプレーヤの動作中に常に行っている必要はない。例えば、記録ディスク1の交換作業時等のタイミングで開始して所定期間だけ行うようにしても良い。あるいは、ディスクプレーヤの製品出荷時の調整として、作業者が1回のみ手作業にて実施するようにしても良い。

【0034】又、一般的に記録ディスクにはフォーマットにより、規定されているビット長の範囲の内、比較的短いビット長の出現確率が高くなるように記録する、例えば規定ビット長範囲が、3T~11Tであると、その内の3T、4Tといった比較的短いビット長を有するビットが多く記録されている。この際、3T又は4Tの如きビット長の短いビットを読み取った際に得られる読取信号の波形は、ビット長の長いビットに比べて、正弦波に近いものとなる。読取信号の波形が正弦波であれば、正弦波の特性上、互いに位相ズレが生じている読取信号を加算した場合においてもその加算結果は正弦波となる。よって、読取信号同士の加算後の信号(Ra+Rd、Rb+Rc)に対して、上述した如き可変遅延回路及び可変利得アンプによる処理を掛ければ、位相合わせ及び振幅レベル合わせを実現することが出来る。

【0035】図8は、かかる点に鑑みて為されたプリビット検出回路5の他の実施例を示す図である。図8において、加算器51は、光電変換素子20a及び20d各々からの読取信号RaとRdとを加算して加算読取信号(Ra+Rd)を求め、これを可変遅延回路91に供給する。加算器53は、光電変換素子20b及び20c各々からの読取信号RbとRcとを加算して加算読取信号(Rb+Rc)を求め、これを可変遅延回路92に供給する。

【0036】可変遅延回路91は、上記加算読取信号(Ra+Rd)を所定時間だけ遅延させた信号を遅延読取信号DR₁として可変利得アンプ93及び第3位相検出回路94の各々に供給する。可変利得アンプ93は、後述する減算器95から供給された振幅誤差値G5に応じた利得にて上記遅延読取信号DR₁を増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号AR₁として減算器52及び振幅検出回路96の各々に供給する。振幅検出回路96は、上記振幅調整読取信号AR₁における極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル(振幅調整読取信号AR₁の振幅レベル)を減算器95に供給する。減算器95は、かかる振幅レベルから所定の基準値REFを減算す

ることにより、上記基準値REFに対する振幅誤差を求めこれを上記振幅誤差値G5として上記可変利得アンプ93に供給する。

【0037】すなわち、可変利得アンプ93は、振幅調整読取信号AR₁の振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DR₁に対して振幅レベルの調整を行うのである。可変遅延回路92は、上記加算読取信号(Rb+Rc)を、上記第3位相検出回路94から供給された遅延時間信号DL₁に応じた時間だけ遅延させた信号を遅延読取信号DR₂として可変利得アンプ97及び第3位相検出回路94の各々に供給する。第3位相検出回路94は、上記遅延読取信号DR₁及びDR₂各々の位相差を検出し、その検出した位相差に対応した信号を上記遅延時間信号DL₁として出力する。

【0038】すなわち、可変遅延回路92は、上記遅延時間信号DL₁に応じた時間だけ加算読取信号(Rb+Rc)を遅延させることにより、上記遅延読取信号DR₁及びDR₂間に生じた位相ズレを補正する位相補正手段として動作するのである。可変利得アンプ97は、後述する減算器98から供給された振幅誤差値G6に応じた利得にて上記遅延読取信号DR₂を増幅することにより振幅レベルの調整を行い、これを振幅調整読取信号AR₂として減算器52及び振幅検出回路99の各々に供給する。振幅検出回路99は、振幅調整読取信号AR₂における極大値及び極小値を逐次検出し、両者の差分によって求めた振幅レベル(振幅調整読取信号AR₂の振幅レベル)を減算器98に供給する。減算器98は、かかる振幅レベルから所定の基準値REFを減算することにより、上記基準値REFに対する振幅誤差を求めこれを上記振幅誤差値G6として上記可変利得アンプ97に供給する。

【0039】すなわち、可変利得アンプ97は、上記振幅調整読取信号AR₂の振幅レベルが常に上記基準値REFと等しくなるように、上記遅延読取信号DR₂に対して振幅レベルの調整を行うのである。減算器52は、上記振幅調整読取信号AR₁から上記振幅調整読取信号AR₂を減算して差分値を求めこれを差分値SBとして2値化回路54に供給する。2値化回路54は、上記差分値SBを所定の閾値にて2値化し、これをプリビット検出信号PP₁として出力する。

【0040】かかる図8に示される構成によれば、位相及び振幅レベル補正を行う回路系が図に示されるが如く2系統で済むので、図7の構成に比してその構成を簡略化することが出来る。

【0041】

【発明の効果】以上説明したように、本発明によるプリビット検出回路によれば、例えば、記録ディスクから読み取られた複数の読取信号各々の位相又は振幅レベルが互いにズレていても、かかる読取信号各々に基づき、記録

(8)

特開2000-132835

13

ディスクに予め記録されているプリビットを検出することが可能となるのである。

【図面の簡単な説明】

【図1】DVDの記録面を示す図である。

【図2】従来のプリビット検出回路の内部構成を示す図である。

【図3】読取信号Ra～Rd各々の波形の一例と、それに応じた従来のプリビット検出回路の動作を示す図である。

【図4】読取信号Raに位相進みが生じた際の読取信号Ra～Rd各々の波形例と、それに応じた従来のプリビット検出回路の動作を示す図である。

【図5】読取信号Raにレベル低下が生じた際の読取信号Ra～Rd各々の波形例と、それに応じた従来のプリビット検出回路の動作を示す図である。

【図6】本発明によるディスクプレーヤの構成を示す図である。

14

【図7】本発明によるプリビット検出回路5の内部構成を示す図である。

【図8】本発明の他の実施例によるプリビット検出回路5の内部構成を示す図である。

【主要部分の符号の説明】

5 プリビット検出回路

20 4分割光検出器

20a～20d 光電変換素子

51, 53 加算器

52 減算器

54 2値化回路

61～64 可変遅延回路

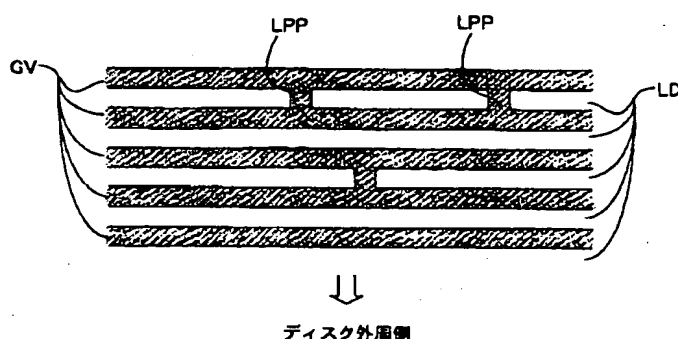
66 第1位相検出回路

72 第2位相検出回路

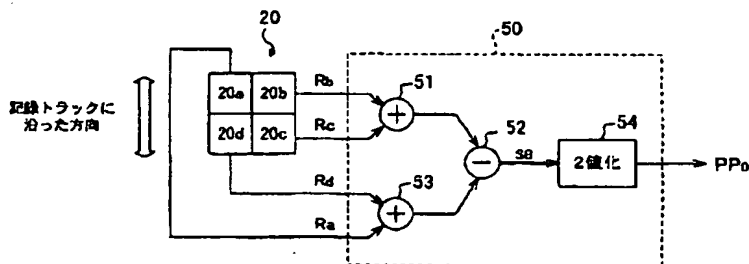
65, 69, 73, 76 可変利得アンプ

80 ピークレベル検出回路

【図1】



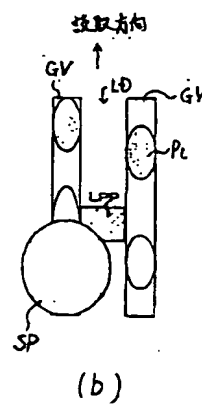
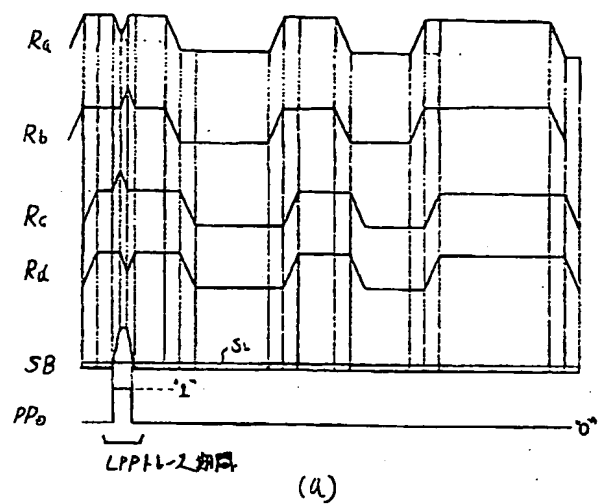
【図2】



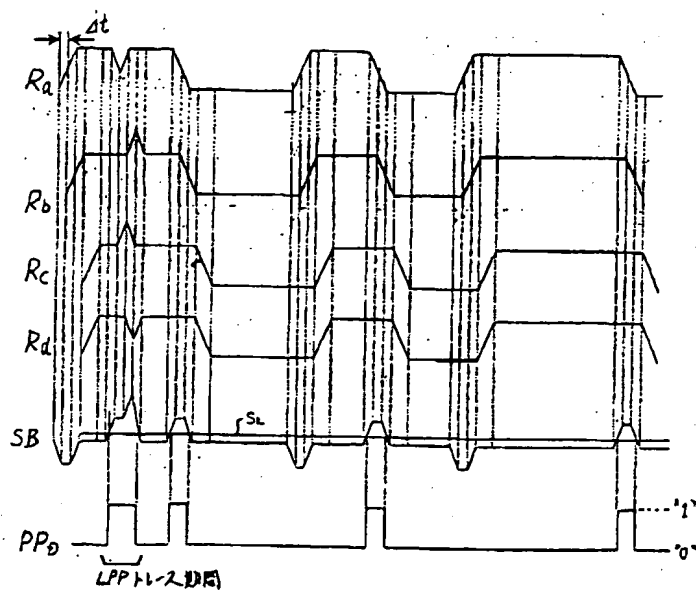
(9)

特開2000-132835

【図3】



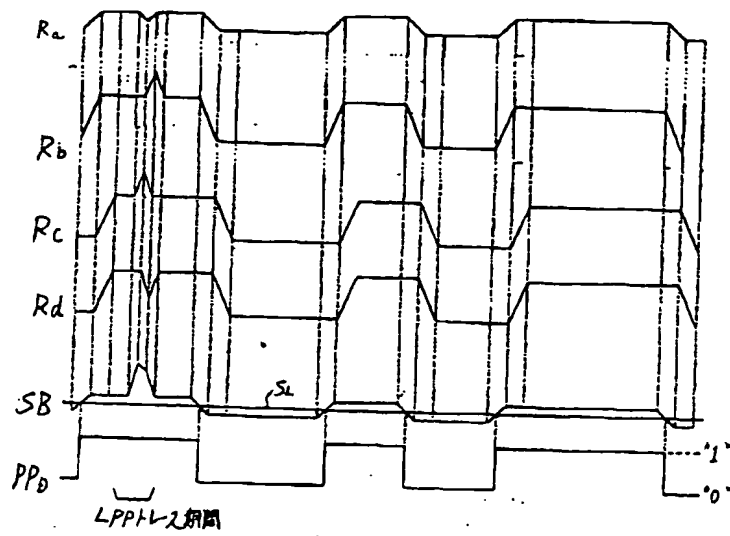
【図4】



(10)

特開2000-132835

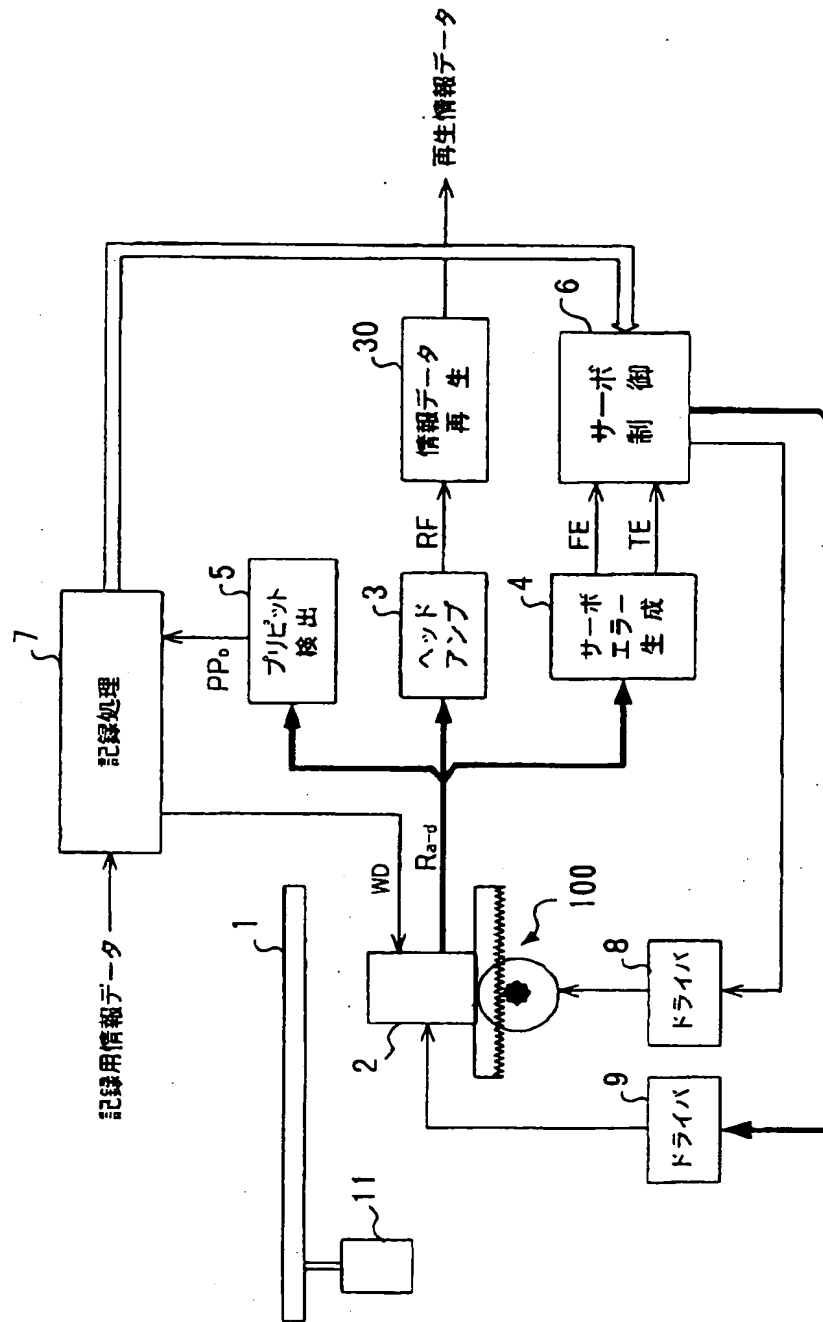
【図5】



(11)

特開2000-132835

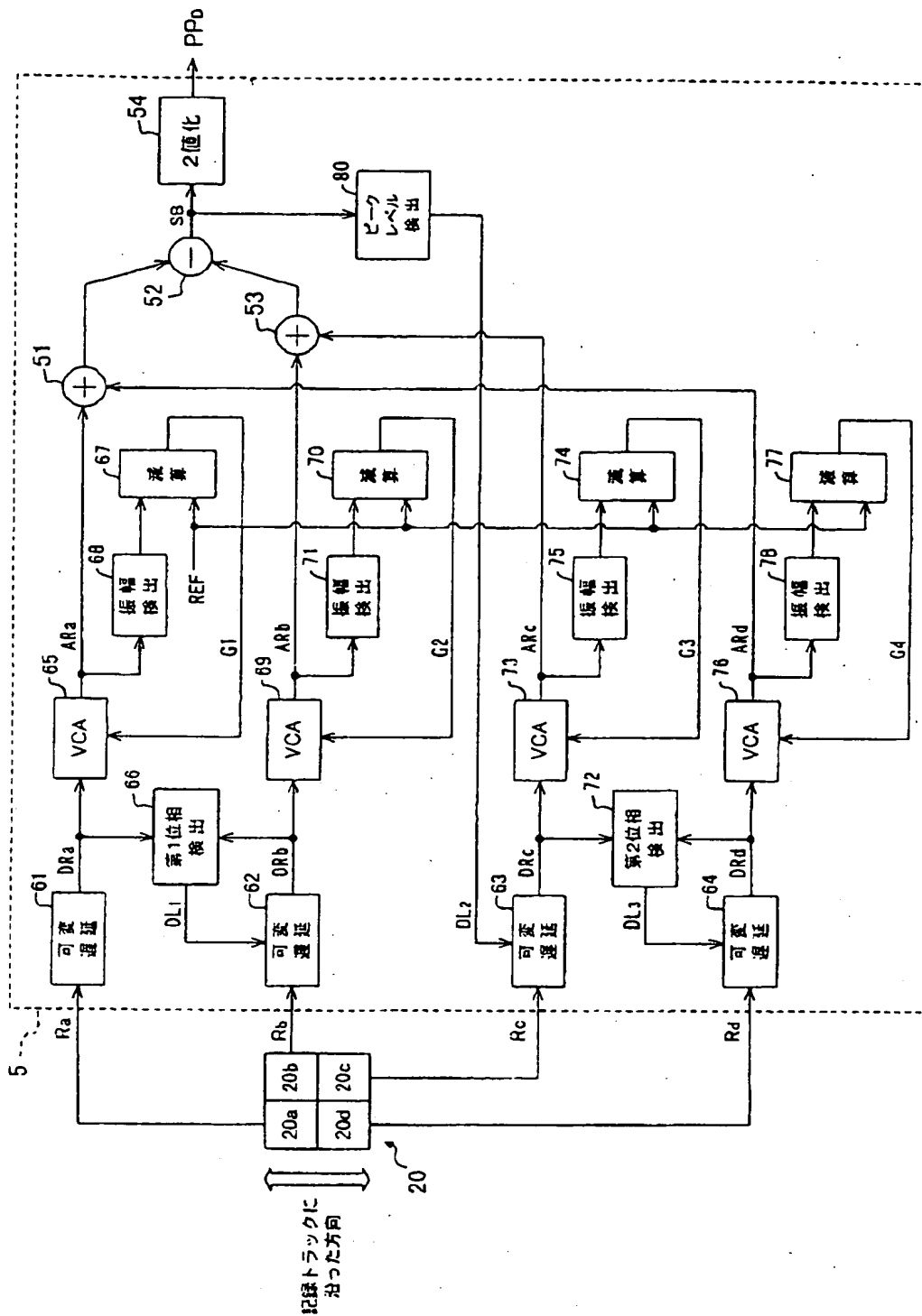
【図6】



(12)

特開2000-132835

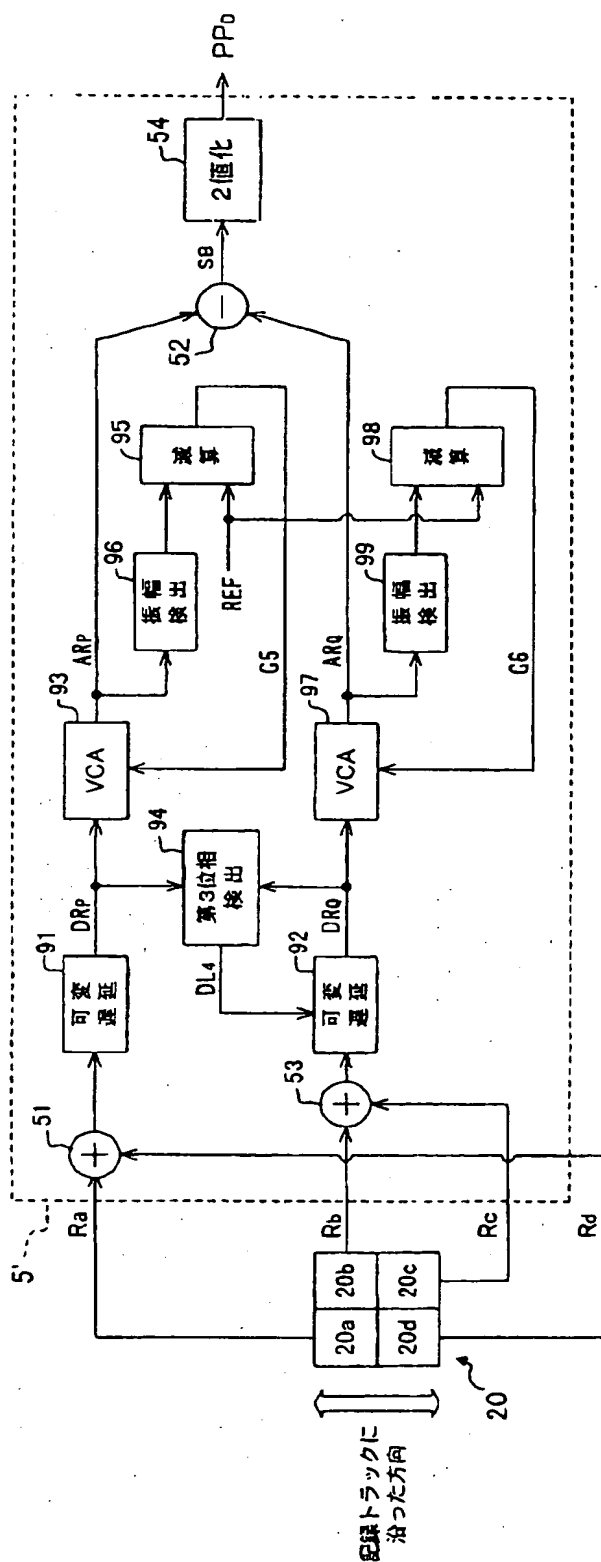
【図7】



(13)

特開2000-132835

【図8】



(14)

特開2000-132835

【手続補正書】

【提出日】平成10年11月6日(1998. 11. 6)

【手続補正1】

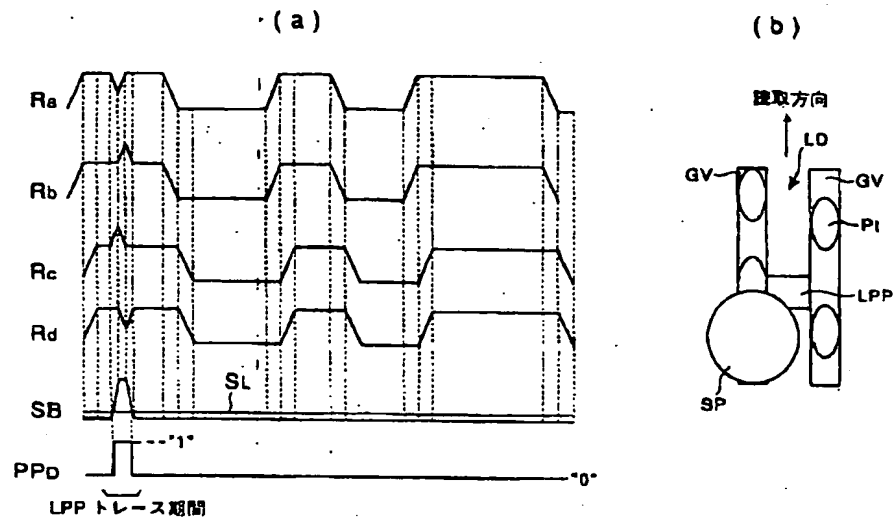
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正2】

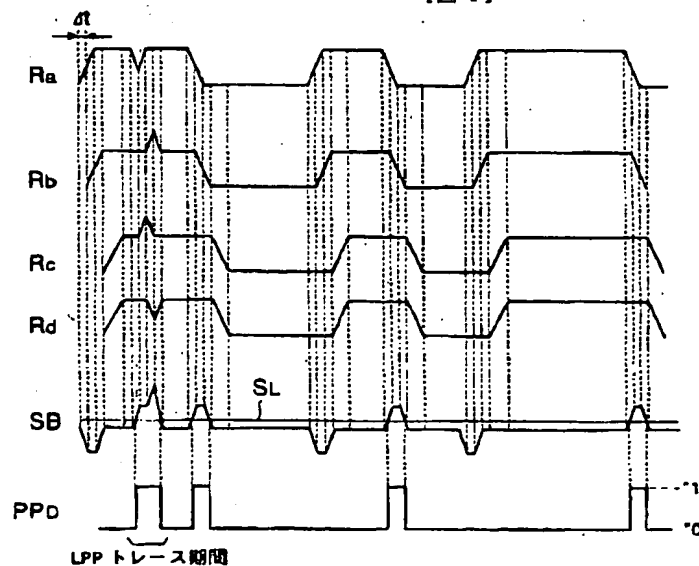
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図5

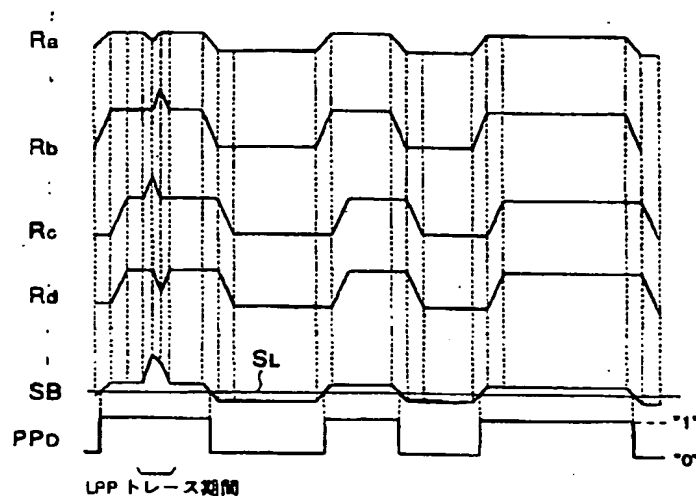
【補正方法】変更

【補正内容】

【図5】

(15)

特開2000-132835



フロントページの続き

(72)発明者 梁川 直治

埼玉県所沢市花園4丁目2610番地パイオニ

ア株式会社所沢工場内

(72)発明者 永原 信一

埼玉県所沢市花園4丁目2610番地パイオニ

ア株式会社所沢工場内

Fターム(参考) 5D090 AA01 CC12 DD03 FF25 GG02

GG27